

WIRING STRUCTURE FOR THIN FILM TRANSISTOR DEVICE AND ITS PRODUCTION

Patent Number: JP4307521
Publication date: 1992-10-29
Inventor(s): KOIKE HIDEKI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP4307521
Application Number: JP19910071715 19910404
Priority Number(s):
IPC Classification: G02F1/136; G02F1/1343; H01L27/12; H01L29/784
EC Classification:
Equivalents: JP2998255B2

Abstract

PURPOSE: To detect and preclude a defect, caused by an electric conductor which drives a thin film transistor (TFT) used for an active matrix liquid crystal display device, in the early stage of a manufacture process.

CONSTITUTION: The gate electric conductor 102 and source electric conductor 103 of the TFT are formed on a substrate 101 in the beginning of the manufacture process and in the stage, the defect such as the open circuit, short circuit, etc., of the electric conductors is detected and corrected to form the TFT which is free from the defect caused by the electric conductors. In the early stage of the manufacture process, the electric conductors are inspected, so the cause of the defect is easily narrowed down, a countermeasure is easily taken, and the substantial manufacture cost of each finished article is reducible. Further, the electric conductors are embedded in the substrate, so picture elements are put over the electric conductors, which can be used as light shield belts between the picture elements to eliminate the need for light shield belts on a counter substrate, so panel assembly is facilitated, the aperture rate is improved, and large contrast is obtained.

Data supplied from the esp@cenet database - 12

特開平4-307521

(43) 公開日 平成4年(1992)10月29日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
	29/784			
		9056-4M	H 0 1 L 29/78	3 1 1 A
			審査請求 未請求 請求項の数4 (全 5 頁)	

(21) 出願番号 特願平3-71715

(22) 出願日 平成3年(1991)4月4日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号(72) 発明者 小池 秀樹
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 井理士 鈴木 喜三郎 (外1名)

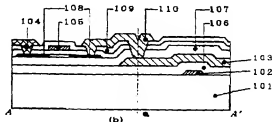
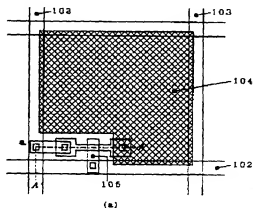
(54) 【発明の名称】 薄膜トランジスタ装置の配線構造およびその製造方法

(57) 【要約】

【目的】 アクティブ・マトリックス液晶表示装置に用いられる薄膜トランジスタを駆動する配線において、それ起因する欠陥の発生を製造工程初期に検出し未然に防止する。

【構成】 薄膜トランジスタのゲート配線およびソース配線を製造工程の初期に基板上に形成し、その段階において配線の断線や短絡等の欠陥を検出し修正することにより、配線に起因する欠陥のない薄膜トランジスタを形成する。

【効果】 製造工程の初期の段階で配線の検査を行うため、欠陥原因を絞り込みやすく、かつ対策が打ちやすくなり、完成品あたりの実質的製造コストを低下させることができる。また、配線が基板内部に埋め込まれることから、画素を配線の上部に重ねて、配線を各画素間の遮光帯に用いられることが可能となり、対向基板上の遮光帯が不要になるため、パネル組立が容易になると同時に開口率が向上し、コントラストが大きく取れる。



【特許請求の範囲】

【請求項1】マトリックス状に複数個配置された薄膜トランジスタ装置の配線構造において、ゲート配線およびソース配線の2層の配線を薄膜トランジスタを形成する以前に形成することを特徴とする薄膜トランジスタ装置の配線構造。

【請求項2】請求項1の配線構造において第1層の配線にゲート配線を、第2層の配線にソース配線をとることにより、ソース配線よりもゲート配線を先に形成することを特徴とする薄膜トランジスタ装置の配線構造。

【請求項3】請求項1の配線構造においてゲート配線およびソース配線の配線材料を同一材料とすることを特徴とする薄膜トランジスタ装置の配線構造。

【請求項4】請求項1の配線構造において配線間を絶縁する層間絶縁膜の成膜後、連続的に第2層の配線を形成することを特徴とする薄膜トランジスタ装置の配線構造の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの配線構造および製造方法に関し、特に薄膜トランジスタがマトリックス状に多数配置された液晶表示装置における配線の断線および配線間の短絡に起因する欠陥を防止する技術に関する。

【0002】

【従来の技術】従来、マトリックス状に配置された各画素に薄膜トランジスタの駆動素子をもつアクティブマトリックス方式の液晶ディスプレイが知られている。この薄膜トランジスタを駆動するには互いに独立するソース信号とゲート信号を薄膜トランジスタに入力しなければならぬため、同一基板上に互いに絶縁させて3次元的に配線する必要がある。近年の液晶表示装置の大画面化、高細化に伴う構成要素の大幅な増加により欠陥の発生も増加し完成品の歩留まりを低下させている。歩留まりを低下させる欠陥には、大別すると点欠陥と線欠陥がある。点欠陥の原因には、薄膜トランジスタの特性の不良、ITOとソース線がパターン不良によって短絡してしまうなどがあり、線欠陥は、断線、短絡、ピンホールなどの層間絶縁膜不良によるクロス・ショートがある。このように薄膜トランジスタの特性不良を除き、歩留まりを低下させている原因には配線に起因する欠陥によるものが多く、配線構造を工夫する必要がある。

【0003】これまでは、これらの欠陥に対してはクロス線の短絡の防止としてゲート配線を先に形成する逆スタガ型のトランジスタを採用することにより、ゲート線・ソース線間のクロス部の構造を図3のように絶縁膜を多層化して欠陥を低減していた。

【0004】

【発明が解決しようとする課題】しかし、前述の従来技術ではクロス部の短絡欠陥を大きく低減することはでき

るが、基板製造工程後期のソース配線を形成以降でないと検査されないため、仮にこの段階で欠陥が多く、修正が困難な場合はそれまでの製造に要した時間と費用が無駄となってしまう。また、その後の修正もかなり大変となる。そこで本発明のこのような問題点を解決するもので、その目的とするところは配線に起因する欠陥を製造工程初期に検出し、修正できる薄膜トランジスタの配線構造を提供することにある。

【0005】

【課題を解決するための手段】本発明の薄膜トランジスタの配線構造は、ゲート配線およびソース配線の形成を薄膜トランジスタを形成する以前の製造工程初期に行い、配線に起因する欠陥を工程初期に検出できることを特徴とする。

【0006】

【実施例】（実施例1）図1(a)、(b)は、本発明の実施例における平面図および断面図である。

【0007】本発明の実施例における薄膜トランジスタの配線構造は、図1(b)で示す構造をしている。101は絶縁基板、102はゲート配線、103はソース配線、104は画素ITO、105はゲート電極である。

【0008】以下、製造方法について説明する。

【0009】まず、図1(b)に示したようなガラスや石英のような絶縁基板101上に層間絶縁膜106を挟んでゲート配線102およびソース配線103を形成する。以下の図1(b)ではゲート配線がソース配線の前に形成されているがゲート配線をソース配線の後に形成してもよい。ただし、ゲート配線には絶えず直流成分がかかるため、液晶ディスプレイに適用した場合、液晶を劣化させる可能性があり、ゲート配線をソース線よりも先に形成し、液晶層までの距離をはずす方が液晶の信頼性の点でよい。また、断線による線欠陥を防ぐため、第1層の配線の断面形状にテーパーをつける。垂直だと層間絶縁膜を形成する際にエッジや基板との界面付近で異常成長しやすく、第2層の配線の被覆性が低下し、断線に結びつくからである。本実施例ではゲート配線を先に形成することとし、ゲートおよびソースの配線材料としてそれぞれCrおよびAlを用い、層間絶縁膜は、SiO₂を用いた。なお、ゲート配線とソース配線の間を同一にしてもよい。その場合、遮光の程度が配線の種類に依らなくなり、配線に遮光層に用いるときは極めて有効である。また、後に説明するような、プロセスの低温化にともないレーザアニールの技術を採用する際は、駆動層を再結晶化させるための熱が面内で比較的均一に拡散でき、薄膜トランジスタの特性の面内ばらつきが抑えられる点から、ソース・ゲートとも同一材料の方が望ましい。

【0010】次に、図2にそって配線のパターンニングについて詳細に説明する。図2は基板上に形成する配線の製造工程ごとくこの模式図である。まず、絶縁基板上にゲ-

3

ト配線となるCrをスパッタ法により150nm形成し、テーパーエッチングによりパターンニングする。テーパーエッチングは従来Crのエッチャントとして用いられてきたセリウム硝酸アンモニア（ $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6]$ ）に硝酸を加えることにより、パターンエッジでのレジストの密着性を低下させて行った。また、パターンニングは図2(a)のようになす配線間の短絡の検出が容易なように千島状にゲート配線をパターンニングする。また、薄膜トランジスタがマトリックス状に配置し、組立後に実際に絵が表示されるアクティブエリア201の外周について、ゲート配線との交差がないので、同時にソース配線側の実装用の引き出し部もパターンニングする。この理由は液晶ディスプレイは対向基板との間隔（ギャップ）を一定に保って組み立てる必要があるため、その間隔の調整は接着剤中にギャップに相当する量のガラスファイバを混ぜ、基板周辺の引き出し配線部上ではり合わせであり、引き出し部での膜厚をそろえておいたほうが組立が行いやすいため、ソース配線側の引き出し部もパターンニングするのである。202は実装用の端子で、実装用の端子同志は引き出し方向別に短絡しておく。引き出し方向の異なる短絡端子間での導通を検査することにより、配線間に短絡が存在するかどうか分かる。203は欠陥検出用の補助端子であり、個々の配線の断線、短絡はこれを使って行う。次に、モノシランと酸素を原料ガスにした常圧化学気相成長（APCVD）法により層間絶縁膜となる SiO_2 を反応温度300℃で膜厚300nm成膜する。その後、実装用端子および補助端子にコンタクトホールを開孔してから、ソース配線となるAlを膜厚400nmスパッタ法により成膜する。続いて、図2(b)のようにAlをパターンニングし、ソース配線およびゲート・ソースの端子部を形成する。このときのゲート配線の時と同様に千島状にパターンニングする。この段階で配線の断線および配線間の短絡を検査する。検査の方法は、引き出し方向の異なる3つの短絡された端子と残りの方向の補助端子間の電気的な導通の有無により検出する。通常は相対する方向のみに導通があるが、断線した場合は3方向とも導通がなくなり、また、ゲートおよびソース配線間に短絡があると相対する方向以外にもう1方向にも導通が検出される。こうした検査の後、欠陥のないものおよび修正可能なものについてのみ次工程にまわし、短絡欠陥の多いものについては、第2層の配線を剥離し再度再膜形成し基板再生を行う。この検査工程を入れることにより、次工程への進行歩留まりを向上できる。

【0011】次に、薄膜トランジスタの製造方法について図1(b)に従って説明する。本実施例では、高移動度の得られる多結晶シリコン膜を能動層に用いたトップゲートコプレー型型の薄膜トランジスタについて述べるが、これに限るものではなく、逆スタガ型の薄膜トランジスタにおいても応用できる。まず、前記により進行し

4

できた基板上に薄膜トランジスタの地下となる SiO_2 膜107を再度、常圧化学気相成長法（APCVD）により300nm形成し、その後、プラズマ化学気相成長法（P-CVD）により300℃でアモルファス Si 膜を50nm形成する。続いて、エキシマレーザを前記のアモルファス Si 膜に照射し、結晶化させる。薄膜トランジスタの製造にあたって注意しなければならないのは、金属配線をすでに行っているために製造温度を300℃以下に抑える必要がある点である。そこで、低温度でアモルファス Si のレーザアニールの技術を採用することにより、多結晶シリコンを得た。また、エキシマレーザを用いたのは、前記のような薄い膜をアニールするのに極めて有効であるからである。その後、前記の結晶化させた Si 膜をパターンニングしてから、ゲート絶縁膜となる SiO_2 をECRプラズマ化学気相成長法により150nm形成し、その後、ゲート配線上にコンタクトホールを開孔する。続いて、前記のコンタクトホールを介してゲート電極となるCrを150nm形成しパターンニングする。その後、ボロンをイオン注入し、ソース・ドレイン領域108を形成後、再びエキシマレーザを照射させ、ソース・ドレイン領域を活性化させる。続いて、 SiO_2 膜109をAPCVDにて200nm形成する。この絶縁膜はなくてもソース配線との短絡110は可能であるが、パターン不良によるゲート電極との短絡を防止するために成膜する。その後、ソース・ドレイン領域に対してコンタクトホールを開孔し、面素1104を形成する。さらにソース配線にコンタクトホールを開孔後、再度Alをスパッタ法により形成し、110のようにソース領域とソース配線をAlで結線する。コンタクトホール開孔の工程を2回に分けたのは開孔する部分の膜厚が異なるためで、ソース・ドレイン領域の膜厚が極めて薄いために、ソース・ドレインのコンタクトのエッチングではオーバーエッチできないからである。以上により、事前に配線された基板上に薄膜トランジスタを形成する。

【0012】なお、ここに上げた実施例はあくまでも一実施例にすぎない。

（実施例2）実施例1で述べた配線構造では第2層の配線を形成する前に層間絶縁膜をパターンニングする工程が入っていた。絶縁膜のパターンニング工程があると、レジストのピンホールによるエッチング液のしみ込みやゴミ・ケバ屑によるパターン不良により、絶縁膜に穴があき、欠陥となることがある。そこで、層間絶縁膜をエッチングでパターンニングせずに第2層配線を形成する製造方法も発明した。

【0013】まず、第1層の配線となるゲート配線Crを実施例1同様図2(a)のようパターンニング後、図2(a)のアクティブエリア201以外を覆い隠してスパッタ法により層間絶縁膜の SiO_2 を形成する。端子部はアクティブエリア内と比較して設計レベルが緩く

しかも端子のところみに絶縁膜が形成されないようにすれば良いのでマスクパッタ法によるパターンニングで十分である。その後、第2層の配線を形成しパターンニングする。この方法によると、欠陥が減少すると同時に、フォトリソ工程で1回減り、さらに絶縁膜と第2層配線の成膜が連続化が可能なためスループットが大きく向上する。

【0014】

【発明の効果】本発明の薄膜トランジスタの配線構造および製造方法は次のような優れた効果を有する。

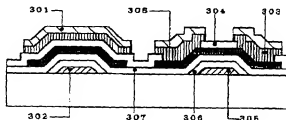
【0015】まず、ゲート配線およびソース配線を薄膜トランジスタを形成する以前の製造工程の初期の段階で行うため、欠陥原因を絞り込みやすかつ対策が打ちやすい。また、仮に欠陥が発生してもその基板を次工程に回さないことにより、完成品あたりの実質的は製造コストを低下させる。

【0016】第2に、配線が基板内部に埋め込まれたために、図素を構成するITOを配線の上に重ねて形成すること可能となり、これまで対向基板上に設けていた透光体をゲートおよびソース配線で代用することができ、透光体とゲート間の間隔が狭くなったことから開口率を大きく取れると同時に、薄膜トランジスタと対向基板との組立ズレの制約が比較的緩和されることから、パネル組立時のアライメントが容易となる。

【0017】したがって、欠陥が無く、高コントラストの液晶ディスプレイが容易に得られる。

【図面の簡単な説明】

【図3】



【図1】本発明の実施例における平面図 (a) および断面図 (b) である。

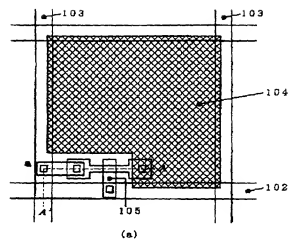
【図2】配線構造の製造工程ごとの模式図である。

【図3】従来の薄膜トランジスタと配線のクロス部の断面図である。

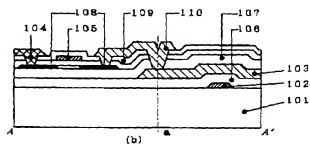
【符号の説明】

- 101 絶縁基板
- 102 ゲート配線
- 103 ソース配線
- 104 画素ITO
- 105 ゲート電極
- 106 層間絶縁膜
- 107 下地SiO₂
- 108 ソース・ドレイン領域
- 109 SiO₂膜
- 110 ソース配線との結露 (A1)
- 201 アクティブエリア
- 202 実装端子
- 203 補助端子
- 301 ソース配線
- 302 ゲート配線
- 303 n+アモルファスSi
- 304 エッチング・ストップ
- 305 ゲート (Ta)
- 306 Ta:O_x
- 307 SiN_x
- 308 アモルファスSi

【図1】

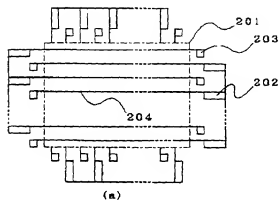


(a)

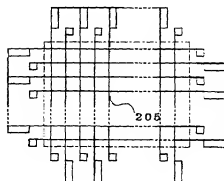


(b)

【図2】



(a)



(b)